

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 63-228736

(43)Date of publication of application : 22.09.1988

(51)Int.Cl.

H01L 21/90

(21)Application number : 62-063010

(71)Applicant : FUJITSU LTD

(22)Date of filing : 18.03.1987

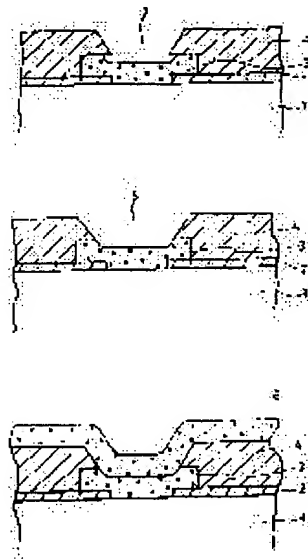
(72)Inventor : SAITO TOMIYASU

(54) MANUFACTURE OF SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To increase the contact areas of upper and lower layer wirings without augmenting a projected area, and to lower electric resistance without deteriorating the degree of integration by forming the contact surfaces of the upper and lower layer wirings of a multilayer interconnection into curved surfaces.

CONSTITUTION: A contact hole is shaped to an silicon dioxide film 2 on a substrate 1, and a lower-layer metallic wiring 3 and an inter-layer insulating film 4 are formed onto the contact hole. A through-hole 5 is shaped to the film 4 by using an isotropic etching method or the combination of, the isotropic etching method and an anisotropic etching method, and a recessed section 7 is formed to the wiring 3 by employing the isotropic etching method through the hole 5. The film 4 is etched until the inner surface of the hole 5 coincides with the edge of the recessed section 7, and an upper-layer metallic wiring 6 is shaped, thus forming a multilayer interconnection. Accordingly, the contact surfaces of the upper and lower layer wirings are shaped in curved surfaces, thus increasing contact areas, then lowering electric resistance without deteriorating the degree of integration.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japanese Patent Office

⑫ 公開特許公報(A)

昭63-228736

⑪ Int. Cl.⁴

識別記号

庁内整理番号

⑬ 公開 昭和63年(1988)9月22日

H 01 L 21/90

B-6708-5F

審査請求 未請求 発明の数 1 (全3頁)

⑭ 発明の名称 半導体装置の製造方法

⑮ 特 願 昭62-63010

⑯ 出 願 昭62(1987)3月18日

⑰ 発 明 者 齊 藤 富 康 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内

⑱ 出 願 人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地

⑲ 代 理 人 弁理士 井 桁 貞一

明 細 書

1. 発明の名称

半導体装置の製造方法

2. 特許請求の範囲

多層配線を有する半導体装置の製造方法において、

等方性エッチング法または等方性エッチング法と異方性エッチング法との組み合わせを使用し、層間絶縁膜(4)にスルーホール(5)を形成し、

前記スルーホール(5)を介して等方性エッチング法を使用して下層金属配線(3)に凹部(7)を形成し、

前記スルーホール(5)の内面が前記凹部(7)の縁に一致するまで前記層間絶縁膜(4)をエッチングし、

上層金属配線(6)を形成する

ことを特徴とする半導体装置の製造方法。

3. 発明の詳細な説明

〔概要〕

多層配線を有する半導体装置の製造方法の改良である。

多層配線を構成する上下層配線の接触面を曲面とし、投影面積(平面積)を増加することなく、上下層配線の接触面積を増加し、集積度を損なうことなく電気抵抗を低下するようにする半導体装置の製造方法の改良である。

〔産業上の利用分野〕

本発明は、多層配線を有する半導体装置の製造方法の改良に関する。特に、多層配線の抵抗を低下する改良に関する。

〔従来技術〕

半導体の集積度を向上するため、半導体上に金属電極・配線を多層に形成する手法が知られている。

この多層配線の形成は、下層配線の上に層間

絶縁膜を形成し、この層間絶縁膜をエッチングしてスルーホールを形成し、その後、上層配線を形成し、スルーホールを介して上下の配線を接続してなすが、従来技術に係る多層配線の形成方法を図を参照して説明する。

第4図参照

素子の形成されたシリコン基板1上に形成されている二酸化シリコン膜2にコンタクトホールを形成し、これを介して素子と接触するように下層金属配線3を形成した後、層間絶縁膜4を形成し、その後、等方性エッチング法または等方性エッチング法と異方性エッチング法との組み合わせを使用して、層間絶縁膜4にスルーホール5を形成する。

第5図参照

次に、金属層を形成して、これをパターンニングして上層金属配線6を形成する。

(発明が解決しようとする問題点)

上記せる製造方法を使用して製造した多層配線

(作用)

本発明に係る半導体装置の製造方法を使用して製造した多層配線を構成する上下層配線の接触面は第3図に示すように、平面ではなく、曲面とされており、投影面積(平面積)を増加することなく、上下層配線の接触面積を増加することができ、集積度を損なうことなく電気抵抗を低下することができる。

(実施例)

以下、図面を参照しつつ、本発明の一実施例に係る半導体装置の製造方法についてさらに説明する。

第2図参照

素子の形成されたシリコン基板1上に形成されている二酸化シリコン膜2にコンタクトホールを形成し、これを介して素子と接触するように下層の金属配線3を形成する。層間絶縁膜4を形成した後、四フッ化メタンと三フッ化メタンとを使用する異方性エッチング法と四フッ化メタンと酸素

の電気抵抗は下層配線3と上層配線6との接触面積に依存する。この接触面積を大きくすれば抵抗を低下することはできるが、この接触面積を大きくすれば集積度を損なうので、接触面積の増加には限度がある。そこで、集積度を損なうことなく電気抵抗を低下しうる多層配線の形成方法の開発が望まれていた。

(問題点を解決するための手段)

上記の目的を達成するために本発明が採った手段は、等方性エッチング法または等方性エッチング法と異方性エッチング法との組み合わせを使用して、層間絶縁膜(4)にスルーホール(5)を形成し、前記スルーホール(5)を介して等方性エッチング法を使用して下層金属配線(3)に凹部(7)を形成し、前記スルーホール(5)の内面が前記凹部(7)の縁に一致するまで前記層間絶縁膜(4)をエッチングし、上層金属配線(6)を形成して、多層配線を製造することにある。

とを使用する等方性エッチング法との組み合わせ、または、四フッ化メタンと三フッ化メタンとを使用する異方性エッチング法を使用してスルーホール5を形成する。

第1a図参照

スルーホール5を介して、四塩化シリコンと塩素とを使用するプラズマエッチング法またはアルカリ水溶液を使用する等方性エッチング法を使用して、下層配線3の表面に凹部7を形成する。このとき、凹部7の表面は平面でなく図示するように曲面になる。

第1b図参照

四フッ化メタンと三フッ化メタンとを使用する異方性エッチング法を使用して、再び層間絶縁膜4をエッチングするが、このとき、スルーホール5の内面を凹部7の縁に一致させるようにする。その結果、スルーホール5は図示するように拡大されるが、下層配線3に形成された凹部7の投影面積(平面図)は拡大しない。

第3図参照

次に、金属層を形成して、これをパターニングして上層金属配線6を形成する。

以上の工程をもって製造された多層配線の接触面の平面積は従来技術と同程度で少しも拡大しないが、接触面は平面でなく曲面であるから接触面積は増大しており、電気抵抗は低下する。そのため、集積度を損なうことなく電気抵抗を低下することができる。

(発明の効果)

以上説明せるとおり、本発明に係る多層配線の製造方法においては、等方性エッチング法または等方性エッチング法と異方性エッチング法との組み合わせを使用して、層間絶縁膜にスルーホールを形成した後、スルーホールを介して等方性エッチングをなして下層の金属配線に曲面の凹部を形成し、スルーホールの内面が凹部の縁に一致するまで層間絶縁膜をエッチングし、その上に、上層の金属配線を形成してあるので、多層配線を

構成する上下層配線の接触面は曲面とされており、投影面積(平面積)を増加することなく、上下層配線の接触面積を増加することができ、集積度を損なうことなく電気抵抗を低下することができる。

4. 図面の簡単な説明

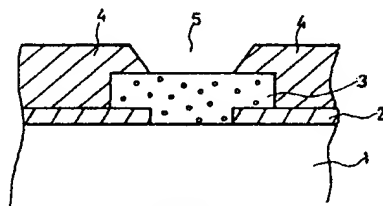
第1a図、第1b図は、本発明に係る半導体装置の製造方法の要旨に係る工程を説明する図である。

第2図、第3図は、本発明の一実施例に係る半導体装置の製造方法の工程図である。

第4図、第5図は、従来技術に係る半導体装置の製造方法の工程図である。

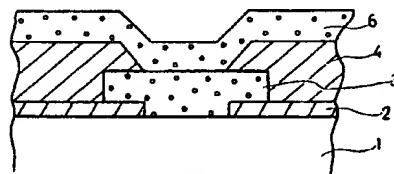
- 1・・・シリコン基板、
- 2・・・二酸化シリコン膜、
- 3・・・下層金属配線、
- 4・・・層間絶縁膜、
- 5・・・スルーホール、
- 6・・・上層金属配線、
- 7・・・凹部。

代理人 弁理士 井桁貞一



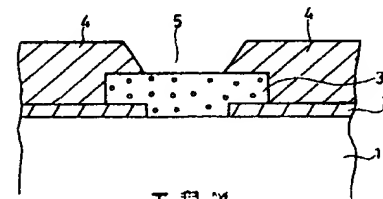
従来技術

第4図



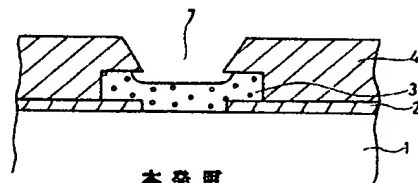
従来技術

第5図



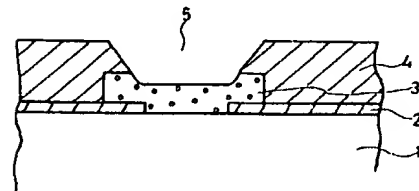
工程図

第2図



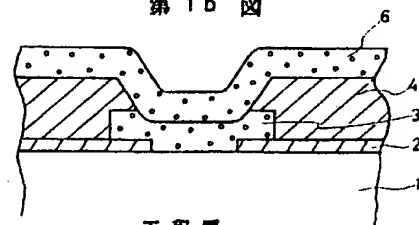
本発明

第1a図



本発明

第1b図



工程図

第3図